



(19)

(11) Publication number:

07022617 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05152324

(51) Intl. Cl.: H01L 29/78 H01L 21/822 H01L 27/04

(22) Application date: 23.06.93

(30) Priority:

(43) Date of application
publication: 24.01.95(84) Designated
contracting states:

(71) Applicant: NIPPON MOTOROLA LTD

(72) Inventor: SEKINE SATOSHI
NISHIKAWA ICHIRO
HIKASA DAISUKE
NAKAJIMA NOZOMI

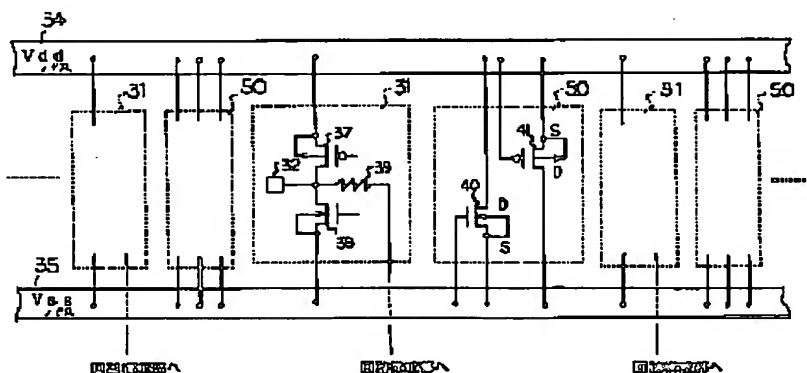
(74) Representative:

**(54) PROTECTING CIRCUIT
FOR SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE
AGAINST ELECTROSTATIC
BREAKDOWN**

(57) Abstract:

PURPOSE: To prevent electrostatic breakdown by connecting the drain terminal and the source terminal of an N channel FET with the high potential side and the low potential side of a power supply, respectively, and connecting the source terminal and the drain terminal of a P channel FET with the high potential side and the low potential side of the power supply, respectively.

CONSTITUTION: The protecting circuit 50 against electrostatic breakdown is constituted by connecting the drain terminal D and the source terminal S of an N channel FET (NF) 4 with a V_{dd} bus (V_d) 34 and a V_{ss} bus (V_s) 35, respectively, and connecting the source terminal S and the drain terminal D of a P channel FET (PF) 41 with the V_d 34 and the V_s 35, respectively. When a positive excess voltage is applied to the V_s 35, the PF 41 is turned into a conduction state, and the excess voltage is made to flow into the V_d 34 and absorbed. When the GND potential is applied to the V_s 35 by the discharge of positive electricity or the like, and a positive excess voltage is inputted in a bonding pad 32 of an I/O buffer 31, the GND potential is applied to the gate terminal of the NF 40, and the excess voltage applied to the bonding pad 32 is made to flow into the V_s 35 from the NF 40 and absorbed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-22617

(43) 公開日 平成7年(1995)1月24日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/822 27/04		7514-4M 8832-4M	H 0 1 L 29/ 78 27/ 04 審査請求 未請求 請求項の数 4	3 0 1 K H O L (全 8 頁)

(21) 出願番号 特願平5-152324

(22) 出願日 平成5年(1993)6月23日

(71) 出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72) 発明者 関根 聡

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

(72) 発明者 西川 一郎

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

(72) 発明者 日笠 大介

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

(74) 代理人 弁理士 藤村 元彦

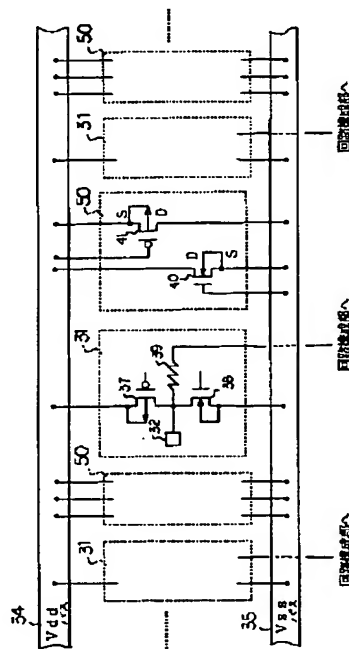
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の静電気破壊保護回路

(57) 【要約】

【目的】 如何なる静電放電状態においても破壊保護が可能な半導体集積回路装置の静電気破壊保護回路を提供することを目的とする。

【構成】 ドレイン端子及びソース端子が夫々電源供給ラインの高電位側及び低電位側に接続されているNチャネルFETと、ソース端子及びドレイン端子が夫々電源供給ラインの高電位側及び低電位側に接続されているPチャネルFETとからなる一対のFETを各入出力バッファの間に設ける。



【特許請求の範囲】

【請求項1】 複数の能動回路素子及び受動回路素子が半導体基板上に形成されている回路構成部と、前記回路構成部を環状に包囲する導電性の高電位側電源供給ラインと、前記回路構成部を環状に包囲する導電性の低電位側電源供給ラインと、複数の入出力バッファが配置されているバッファ領域とを備えた半導体集積回路装置の静電気破壊保護回路であって、

ドレイン端子及びソース端子が前記高電位側電源供給ライン及び前記低電位側電源供給ラインに夫々接続されているNチャネルFETと、ドレイン端子及びソース端子が前記高電位側電源供給ライン及び前記低電位側電源供給ラインに夫々接続されているPチャネルFETとからなる一対のFETが前記バッファ領域内に配置されていることを特徴とする半導体集積回路装置の静電気破壊保護回路。

【請求項2】 前記一対のFETは前記入出力バッファの各々の間に少なくとも1組ずつ配置されていることを特徴とする請求項1記載の半導体集積回路装置の静電気破壊保護回路。

【請求項3】 前記バッファ領域は前記高電位側電源供給ラインと前記低電位側電源供給ラインとに挟まれた区域内に設けられていることを特徴とする請求項1記載の半導体集積回路装置の静電気破壊保護回路。

【請求項4】 前記バッファ領域は前記高電位側電源供給ライン及び前記低電位側電源供給ラインの近傍に設けられていることを特徴とする請求項1記載の半導体集積回路装置の静電気破壊保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置の静電気破壊保護回路に関する。

【0002】

【従来技術】 半導体集積回路装置としての集積回路パッケージにおいては、例えば人体等に帯電した静電気が集積回路パッケージのリードピンを介して放電することにより、集積回路の破壊を招く。ここで、かかる静電気による破壊を防止すべく、予め集積回路パッケージ内に静電気破壊保護回路を設けるようにした半導体集積回路装置が知られている。

【0003】 図1に、かかる静電気破壊保護回路を備えた集積回路パッケージの内部構造を示す。図において、集積回路パッケージ1には、外部装置との入出力信号接続を行うための複数のリードピン2が設けられており、さらに、シリコン半導体からなるシリコンチップ3が固定されている。シリコンチップ3には、集積回路パッケージとしての回路動作を司るための多数の能動回路素子及び受動回路素子が形成されている回路構成部30、複数の入出力バッファ31及び静電気破壊保護回路33が配置されているバッファ領域20、高電位側電源供給ラ

インとしてのV_{dd}バス34及び低電位側電源供給ラインとしてのV_{ss}バス35が夫々形成されている。リードピン2と入出力バッファ31とは、各々ボンディングワイヤ4及びボンディングパッド32にて接続されている。入出力バッファ31は、リードピン2、ボンディングワイヤ4及びボンディングパッド32を介して外部装置から供給される入力信号を所望電圧に変換して回路構成部30に供給する。又、回路構成部30から供給された出力信号は、入出力バッファ31により所望電圧に変換されてボンディングパッド32、ボンディングワイヤ4及びリードピン2を介して外部装置へ出力される。V_{dd}バス34及びV_{ss}バス35にはV_{dd}パッド及びV_{ss}パッドが夫々設けられている。複数のリードピン2の内、リードピン2aから供給された高電位側電源電圧はV_{dd}パッドを介してV_{dd}バス34に印加される。又、リードピン2bから供給された低電位側電源電圧としてのGND電位はV_{ss}パッドを介してV_{ss}バス35に印加される。かかるV_{dd}バス34及びV_{ss}バス35により、各入出力バッファ31及び回路構成部30に夫々電源供給がなされる。

【0004】 図の如く、複数の入出力バッファ31は、回路構成部30の周回に敷き詰めて形成されており、静電気破壊保護回路33は、この周回中のV_{dd}パッドの近傍に形成されている。図2に、かかる入出力バッファ31及び静電気破壊保護回路33の構成を示す。

【0005】 図において、入出力バッファ31は、PチャネルFET（Field Effect Transistor）37及びNチャネルFET38が相補的に接続されており、その共通接続点にボンディングパッド32が設けられている。さらに、かかる共通接続点は、抵抗39を介して回路構成部30に接続されている。静電気破壊保護回路33は、そのドレイン端子D及びソース端子Sが夫々V_{dd}バス34及びV_{ss}バス35に接続されているNチャネルFET40から構成される。このNチャネルFET40のゲート端子はV_{ss}バス35に接続されている。

【0006】 上述の如き構成において、静電気の放電により、集積回路パッケージ1のリードピン2aを基準（GND電位）としてリードピン2bに正の過電圧が印加された場合は、図2におけるV_{dd}バス34に、かかる正の過電圧が印加されV_{ss}バス35にGND電位が印加されることになる。よって、NチャネルFET40のドレイン端子D（n領域）及びNチャネルFET40のバックゲート（p型基板領域）間には、かかるp型基板領域及びn領域に対して逆方向に過電圧がかかるのでブレイクダウンが生じる。これにより、瞬時にNチャネルFET40が導通状態となって、上述の如き正の過電圧による電流がV_{ss}バス35に流れ込んで吸収される。よって、静電気の放電に応じて発生した正の過電圧による電流はV_{dd}バス34又はV_{ss}バス35を介して回路構成部30に流れ込むことはない。

【0007】しかしながら、リードピン2bを基準（GND電位）としてリードピン2aに負の過電圧が印加された場合は、NチャネルFET40のバックゲート（p型基板領域）及びドレイン端子D（n領域）間にはシリコンチップ3のシリコン基板自体を負に充電することによりp領域及びn領域に対して逆方向の電圧が掛かることになり、上記と同様にブレイクダウンが生じてNチャネルFET40が導通状態となるが、かかる充電時間の間に静電放電による過電圧の電流はVddバス34又はVssバス35を介して回路構成部30に流れ込んでしま

【0008】以上の如く、従来の静電気破壊保護回路においては、Vddバス34を基準（GND電位）としてVssバス35に負（又は正）の過電圧が印加されるが如き静電放電が生じた場合には、かかる保護回路が機能しにくくなり、回路構成部30が破壊されてしまうという問題があった。

【0009】

【発明が解決しようとする課題】本発明は、かかる問題を解決すべくなされたものであり、如何なる静電放電状態においても破壊保護が可能な半導体集積回路装置の静電気破壊保護回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明による半導体集積回路装置の静電気破壊保護回路は、複数の能動回路素子及び受動回路素子が半導体基板上に形成されている回路構成部と、前記回路構成部を環状に包囲する導電性の高電位側電源供給ラインと、前記回路構成部を環状に包囲する導電性の低電位側電源供給ラインと、複数の入出力バッファが配置されているバッファ領域とを備えた半導

sバス35に接続されているNチャネルFET40、及びそのソース端子S及びドレイン端子Dが夫々Vddバス34及びVssバス35に接続されているPチャネルFET41から構成される。このNチャネルFET40のゲート端子はVssバス35に接続されており、PチャネルFET41のゲート端子はVddバス34に接続されている。図の如く、各入出力バッファ31の間に少なくとも1組の静電気破壊保護回路50が夫々敷き詰めて形成される。

【0013】図4は、かかる静電気破壊保護回路50をPチャネルシリコン基板上に形成した場合の一例を示す断面図である。かかる構造は、通常のCMOS（Complementary Metal Oxide Semiconductor）プロセスにて構築されるものであるので、かかる構成の実現にあたりプロセスの変更を行う必要はない。尚、かかる実施例においては静電気破壊保護回路50をPチャネルシリコン基板上に形成した例を示したが、Nチャネルシリコン基板上においても同様に形成できることは言うまでもない。

【0014】次に、かかる本発明による静電気破壊保護回路50の静電気破壊保護動作について説明する。先ず、静電気の放電により、集積回路パッケージ1の各リードピンの内、リードピン2bを基準（GND電位）としてリードピン2aに正の過電圧が印加された場合について、図5を参照しつつ述べる。

【0015】この際、図の如く、Vddバス34にGND電位が印加され、Vssバス35に正の過電圧が印加されることになる。かかる正の過電圧はPチャネルFET41のドレイン端子Dとしてのp領域54に印加され、PチャネルFET41のゲート端子G、p領域55、n領域56の夫々にGND電位が印加される。よっ

10

20

30

G、p領域55、n領域56の夫々にGND電位が印加される。よって、PチャネルFET41のp領域54とバックゲート領域(Nウェル)との間には逆方向の過電圧が掛かるのでブレイクダウンを起こし、p領域54とp領域55とは瞬時に導通状態となる。かかる動作により、Vddバス34及びVssバス35が短絡状態となつて、負の過電圧による電流はVddバス34からVssバス35に流れ込んで吸収される。よって、静電気の放電により発生した負の過電圧の電流が回路構成部30に流れ込むことはないので回路構成部30の破壊防止がなされるのである。

【0018】次に、静電気の放電により、集積回路パッケージ1の各リードピンの内、リードピン2aを基準(GND電位)として他のリードピン2に正の過電圧が印加された場合について、図7を参照しつつ述べる。この際、図の如く、Vssバス35にGND電位が印加され、入出力バッファ31のボンディングパッド32に正の過電圧が印加されることになる。

【0019】かかる正の過電圧は、入出力バッファ31のNチャネルFET38のドレイン端子Dとしてのn領域73、及びPチャネルFET37のドレイン端子Dとしてのp領域74に夫々印加される。さらに、NチャネルFET38のバックゲートに電圧を印加するためのn領域71、NチャネルFET38のソース端子Sとしてのn領域72、NチャネルFET40のゲート端子G、p領域51、n領域52及びPチャネルFET41のp領域54の夫々にGND電位が印加される。よって、NチャネルFET38のバックゲート領域(p型基板領域)とn領域73との間には逆方向の過電圧が掛かるのでブレイクダウンを起こして、n領域72とn領域73とは瞬時に導通状態となる。かかる動作により、ボンディングパッド32から分岐されて供給された正の過電圧による電流はVssバス35に流れ込んで吸収される。

【0020】一方、この際、PチャネルFET37のp領域74とバックゲート領域(Nウェル)との間には順方向の過電圧が掛かることになる。よって、ボンディングパッド32から分岐されて供給された正の過電圧による電流の一部は、PチャネルFET37のNウェルを充電しつつn領域76を介してVddバス34に流れ込む。これにより、NチャネルFET40のバックゲート領域(p型基板領域)とn領域53との間には逆方向の過電圧が掛かるのでブレイクダウンを起こして、n領域52とn領域53とは瞬時に導通状態となる。かかる動作により、ボンディングパッド32から分岐されて供給された正の過電圧による電流はVddバス34からVssバス35に流れ込んで吸収される。

【0021】これと同時に、Vddバス34上の電流の一部はPチャネルFET41のn領域56に供給され、PチャネルFET41のNウェルの充電のために消費される。従って、静電気の放電によりボンディングパッド

32に印加された正の過電圧による電流は、入出力バッファ31のNチャネルFET38及び静電気破壊保護回路50のNチャネルFET40により分岐してVssバス35に流れ込んで吸収され、さらに、その一部はPチャネルFET41により消費される。よって、入出力バッファ31のNチャネルFET38の負担を軽減させつつ静電気破壊保護が可能となる。さらに、図3の如く、かかる静電気破壊保護回路50を各入出力バッファ31の間に少なくとも1組設ける構成としているので、Vddバス34及びVssバス35の遅延の影響を受けずに、瞬時に静電気放電による過電圧を終息させることが出来るのである。

【0022】尚、上記実施例において、複数の入出力バッファ31及び静電気破壊保護回路50が配置されているバッファ領域20は、図1の如く、Vddバス34及びVssバス35に挟まれた区域に設けられているが、図8の如く、Vssバス35の外周に設けられていても良い。要するに、かかるバッファ領域20内の静電気破壊保護回路50が、Vddバス34及びVssバス35の近傍に設けられていれば良いのである。

【0023】

【発明の効果】上記したことから明らかな如く、本発明による半導体集積回路装置の静電気破壊保護回路においては、そのドレイン端子及びソース端子が夫々電源供給ラインの高電位側及び低電位側に接続されているNチャネルFETと、かかるNチャネルFETと同様にそのソース端子及びドレイン端子が夫々電源供給ラインの高電位側及び低電位側に接続されているPチャネルFETとからなる一対のFETを各入出力バッファの間に設ける構成としている。

【0024】よって、静電気の放電により発生した過電圧が電源供給ラインの高電位側を基準(GND電位)として印加された場合は、かかる静電気破壊保護回路におけるPチャネルFETが動作してこの過電圧を吸収し、静電気の放電により発生した過電圧が電源供給ラインの低電位側を基準(GND電位)として印加された場合は、NチャネルFETが動作してこの過電圧を吸収出来るので、如何なる静電放電状態においても破壊保護が可能となる。

【図面の簡単な説明】

【図1】集積回路パッケージの内部構造を示す図である。

【図2】従来の静電気破壊保護回路を示す図である。

【図3】本発明による静電気破壊保護回路を示す図である。

【図4】本発明による静電気破壊保護回路のシリコン構造の断面を示す図である。

【図5】本発明による静電気破壊保護回路の動作を説明する図である。

【図6】本発明による静電気破壊保護回路の動作を説明

する図である。

【図7】本発明による静電気破壊保護回路の動作を説明する図である。

【図8】集積回路パッケージの他の実施例による内部構*

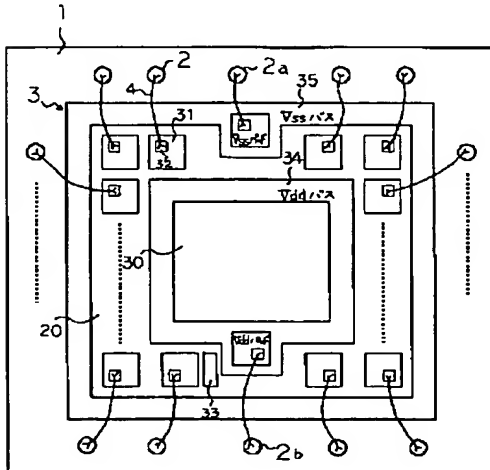
* 造を示す図である。

【主要部分の符号の説明】

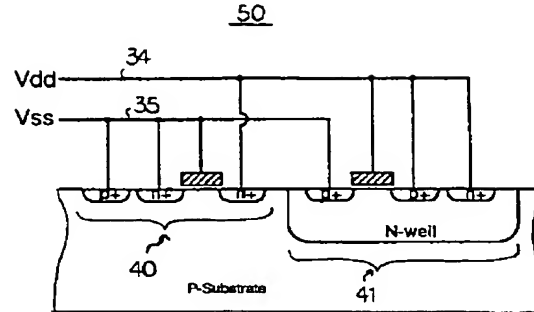
40 NチャネルFET

41 PチャネルFET

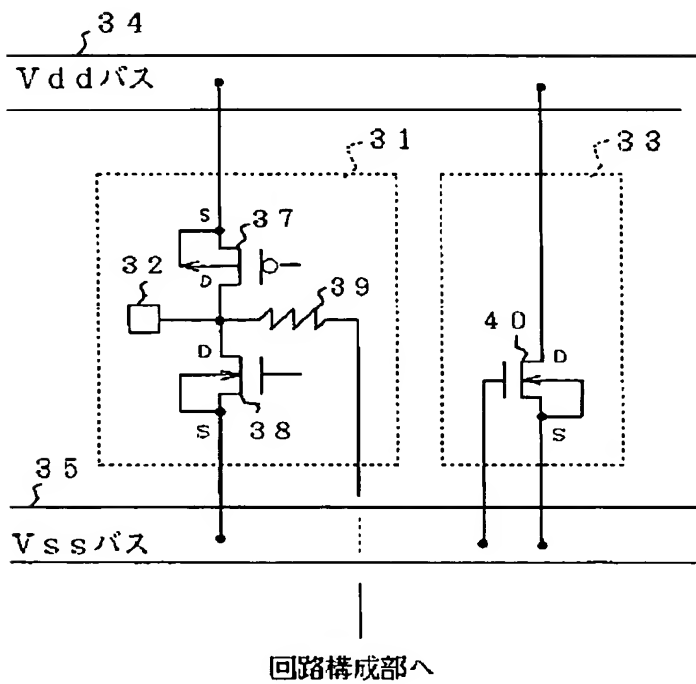
【図1】



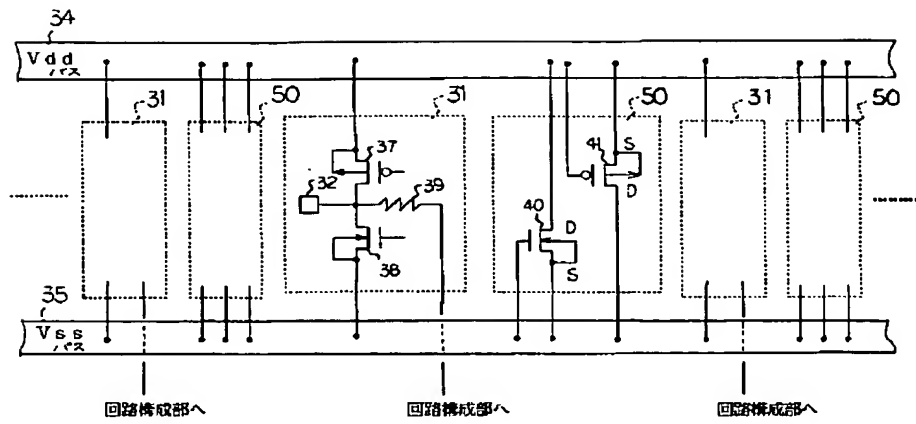
【図4】



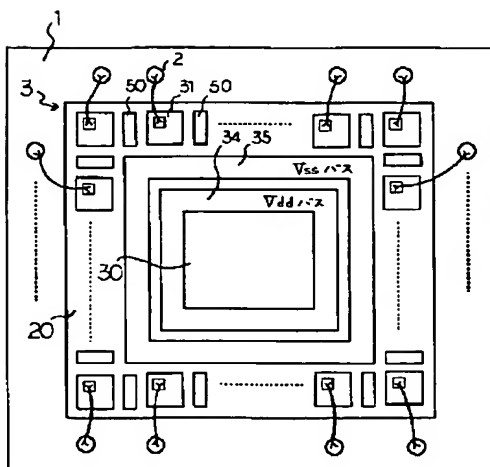
【図2】



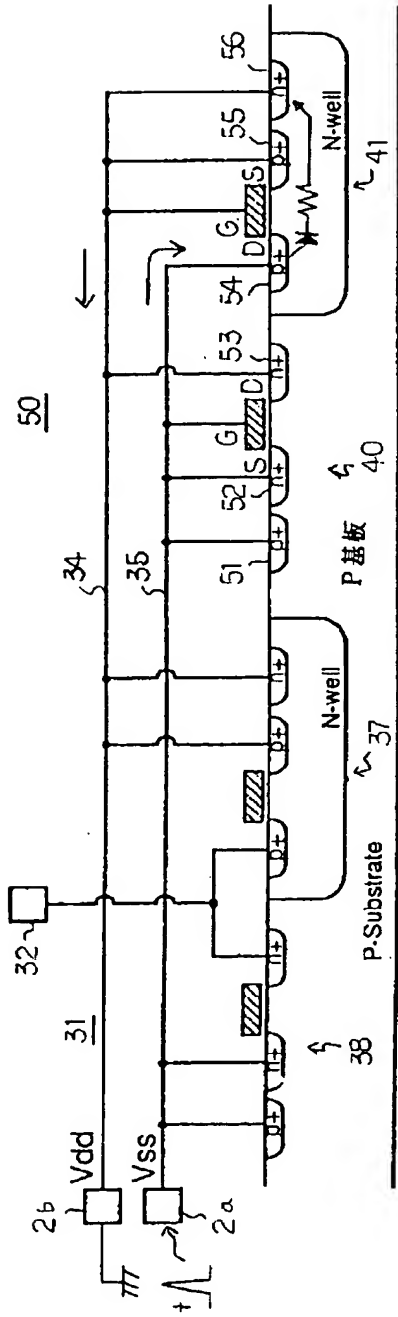
【図3】



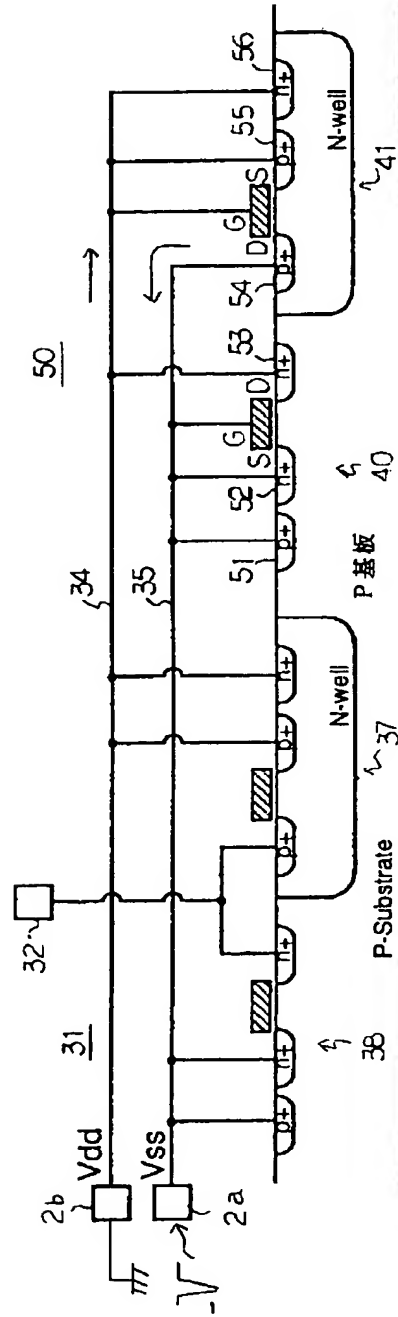
【図8】



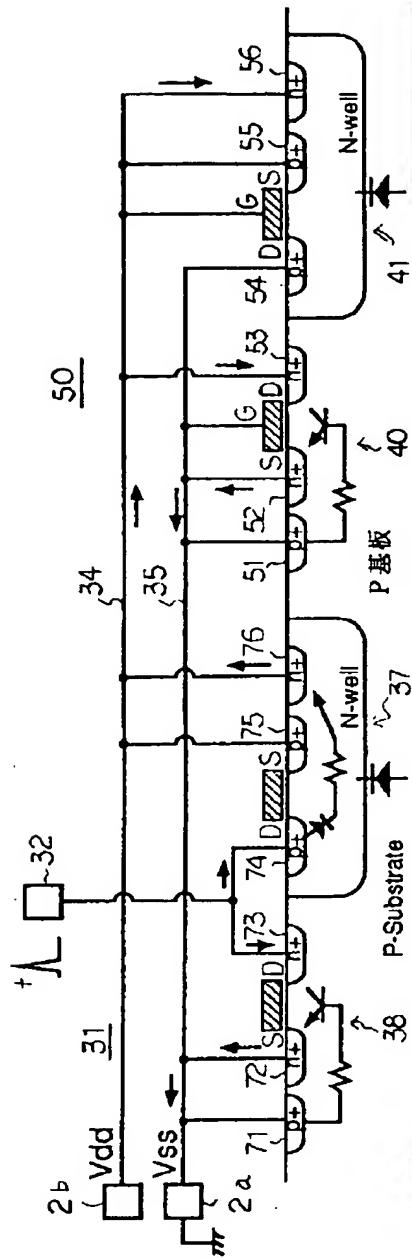
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 中島 望
東京都港区南麻布3丁目20番1号日本モト
ローラ株式会社内